

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-232498

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

H04L 27/20

H04N 5/44

(21)Application number : 2001-030209

(71)Applicant : SHARP CORP

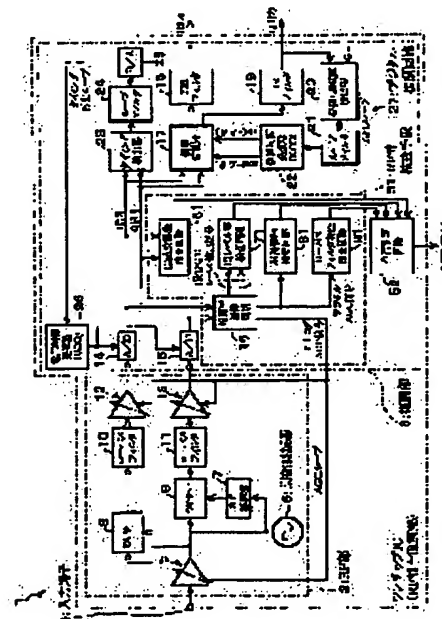
(22)Date of filing : 06.02.2001

(72)Inventor : YONEU HIROKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit where an RF section 2 and a demodulation section 3 are configured in one package that checks the RF section 2 without increasing the size of the RF section 2 and to reduce the product cost.
SOLUTION: A demodulation section 3 is provided with an RF section inspection means 51. The RF section inspection means 51 inspects the operation of the RF section 2 based on I and Q digital signals outputted from analog/digital converter circuits 14, 15 and consists of an amplification factor control circuit 16, an I and Q orthogonal error inspection circuit 61, an I and Q level difference inspection circuit 71, a gain characteristic inspection circuit 81 and a low pass filter characteristic inspection circuit 91. By providing the inspection function of the RF section 2 to the demodulation section 3, it is unnecessary to use an expensive tester for inspecting the RF section 2 and to provide inspection pins to extract an output from the RF section 2 to the RF section 2.



LEGAL STATUS

[Date of request for examination]

24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 2002-232498 (P2002-232498A)

A. Relevance of the above-identified Document

This document has relevance to Claim 1 of the present application.

B. Translation of the Relevant Passages of the Document

See the attached English Abstract.

[CLAIMS]

[Claim 1]

A semiconductor integrated circuit comprising, in one package;

an RF section including a demodulating section for performing quadrature modulation of an inputted high frequency signal into an IQ base band signal, and an amplifying section for amplifying the IQ base band signal;

a demodulating section including an analog-to-digital circuit for converting the IQ base band signal into an IQ digital signal, and a digital demodulating circuit for demodulating the IQ digital signal,

the semiconductor integrated circuit characterized in that:

the demodulating section includes an RF section inspection means for performing operation inspection of the RF section in

accordance with the IQ digital signal outputted from the analog-to-digital converting circuit.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[INDUSTRIAL FIELD OF THE INVENTION]

The present invention relates to a semiconductor integrated circuit (digital broadcast reception apparatus) for receiving an RF (high frequency) signal for digital television broadcast and the like. Especially, the present invention relates to a semiconductor integrated circuit including an RF section and a demodulating section in one package.

[PRIOR ART]

...

[0004]

Here, Figure 13 illustrates an arrangement of a general digital broadcast reception apparatus for the digital satellite broadcast. The digital broadcast reception apparatus receives the RF signal. A conventional digital broadcast reception apparatus 1' is provided with an RF section 2 and a demodulating section 3. Conventionally, the RF section 2 and the demodulating section 3 are made of separate chips (devices). Recently, however, one-chip IC in which those sections are provided in one chip as shown in Figure 13 has been developed.

[0005]

The RF section 2 is provided with an input terminal 4, a variable gain type amplifier 5, a local oscillator 6, a 90° phase shifter 7, mixers 8 and 9, low pass filters 10 and 11, and variable gain type amplifiers 12 and 13. On the other hand, the demodulating section 3 is provided with A/D (analog-to-digital) converting circuits 14 and 15, an amplification rate control circuit 16, a complex computing unit 17, FIR filters 18 and 19, phase/frequency detector 20, a loop filter 21, a numerical value control oscillator (NCO) 22, a timing detector 23, a loop filter 24, a D/A (digital-to-analog) converting circuit 25, and a voltage control oscillator (VCO) 26.

[0011]

The demodulating section 3 is constituted of three feed back loops, namely, an AGC loop (Auto Gain Control Loop), an AFC loop (Auto Frequency Control Loop), and a Timming (*sic*) Recovery Loop. The AGC loop is for causing a level of the input signal to be constant, the input signal being to be inputted into the A/D converting circuits 14 and 15. The AGC loop is for synchronizing the phase and frequency. The Timming (*sic*) Recovery Loop is for synchronizing a symbol.

[0012]

The AGC loop is constituted of the A/D converting circuits 14 and 15, the amplification rate control circuit 16, and the variable gain type amplifiers 5, 12, and 13 of the RF section 2. In order to keep the input level of the A/D converting circuits 14 and 15

constant, an analog AGC signal is outputted from the amplification rate control circuit 16 to the variable gain type amplifiers 5, 12, and 13, thereby controlling the amplification rate of the variable gain type amplifiers 5, 12, and 13.

[0029]

[PROBLEMS TO BE SOLVED BY THE INVENTION]

Incidentally, if the RF section 2 and the demodulating section 3 are constituted of separate chips, it is possible to directly draw out the output of the RF section. Thus, it is possible to carry out the above-described inspection of the RF section by using the RF tester 40.

[0030]

However, in case of the one-chip IC in which RF section 2 and the demodulating section 3 are integrated, it is impossible to draw out the output of the RF section 2 directly. Thus, it is necessary to provide, for example, an inspection-use pin that is connected to an output of the RF section 2, and to conduct the inspect of the RF section 2 via the inspection-use pin. There is a possibility that the provision of the inspection-use pin, therefore, results in an increase in the number of parts and a large package, and further, increases the chip cost.

[0031]

Moreover, the conventional inspection method of the RF section 2 requires the RF tester 40, which is expensive, thus resulting a higher chip cost.

[0033]

[MEANS TO SOLVE THE PROBLEMS]

In order to solve the problems, a semiconductor integrated circuit of the present invention is characterized by including: (a) an RF section including a demodulating section for performing quadrature modulation of an inputted high frequency signal into an IQ base band signal, and an amplifying section for amplifying the IQ base band signal; (b) a demodulating section including an analog-to-digital circuit for converting the IQ base band signal into an IQ digital signal, and a digital demodulating circuit for demodulating the IQ digital signal, the semiconductor integrated circuit characterized in that: the demodulating section includes an RF section inspection means for performing operation inspection of the RF section in accordance with the IQ digital signal outputted from the analog-to-digital converting circuit.

[0035]

Here, the demodulating section is provided with an RF section inspection means for performing operation inspection of the RF section in accordance with the IQ digital signal that is outputted from the analog-to-digital converting circuit. Thus, the demodulation section is so arranged that the RF section inspection means performs the inspection of the RF section by using the analog-to-digital converting circuit, which has been already provided.

[0036]

By arranging such that the demodulating section has an inspection function for the RF section, it becomes unnecessary to use an expensive tester for the inspection of the RF section, even if the semiconductor integrated circuit is so structured that the RF section and the demodulating section are integrated in one package. Moreover, with this arrangement, it is unnecessary that the FR section be provided with the inspection-use pin for drawing out the output of the RF section therethrough. Thus, it is possible to avoid scale-up of the package due to scale-up of the RF section, and effect cost reduction of the semiconductor integrated circuit as a product.

[0037]

A semiconductor integrated circuit of the present invention is, in order to solve the problems, so characterized in that the RF section inspection means is provided with IQ quadrature error inspection means for inspecting, in accordance with the IQ digital signal, quadrature error between an I signal and a Q signal of the IQ base band signal outputted from the RF section.

[EMBODIMENTS]

...

[0070]

Note that, it can be said that the amplification rate control circuit 16 constitutes a part of the RF section inspection means 51, because the digital AGC signal is used for the inspection of the RF section 2, the inspection performed by the RF section inspection

means 51.

[0071]

Moreover, the demodulating section 3 is provided with the RF section inspection means 51 for use in performing inspection of the digital broadcast reception apparatus 1 (RF section 2), and a pass-fail judging circuit 52 (pass-fail judging means). The RF section inspection means 51 performs the operation inspection of the RF section 2 in accordance with the IQ digital signal outputted from the A/D converting circuits 14 and 15. The pass-fail judging means 52 judges, in accordance with an inspection result of the RF section inspection means 51, whether pass or fail as a package of the digital broadcast reception apparatus 1.

[0072]

That is, the digital broadcast reception apparatus 1 of the present embodiment 1 is utterly same as the conventional digital broadcast reception apparatus 1' shown in Figure 13, except of the arrangement of the RF section inspection means 51 and the pass-fail judging circuit 52. The digital broadcast reception apparatus 1 is, however, different from the conventional one in that the digital broadcast reception apparatus 1 is so arranged as to include the RF section inspection means 51 and the pass-fail judging circuit 52. This is the characteristics of the present invention.

[0082]

Next, details of the RF section inspection means 51 is

described below.

[0083]

The RF section inspection means 51 is, as shown in Figure 1, provided with the above-described amplification rate control circuit 16, an IQ quadrature error inspection circuit 61 (IQ quadrature error inspection means), an IQ level difference inspection circuit 71 (IQ level difference inspection means), a gain characteristics inspection circuit 81 (gain characteristics inspection means), and a low pass filter characteristics inspection circuit 91 (low pass filter characteristics inspection means). The IQ quadrature error inspection circuit 61, the IQ level difference inspection circuit 71, the gain characteristics inspection circuit 81, and the low pass filter characteristics inspection circuit 91, are used only in inspecting the RF section 2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-232498

(P2002-232498A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 4 L 27/20

H 0 4 L 27/20

Z 5 C 0 2 5

H 0 4 N 5/44

H 0 4 N 5/44

A 5 K 0 0 4

審査請求 未請求 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願2001-30209 (P2001-30209)

(22) 出願日 平成13年2月6日 (2001.2.6)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 米生 祐己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

Fターム(参考) 5C025 AA30

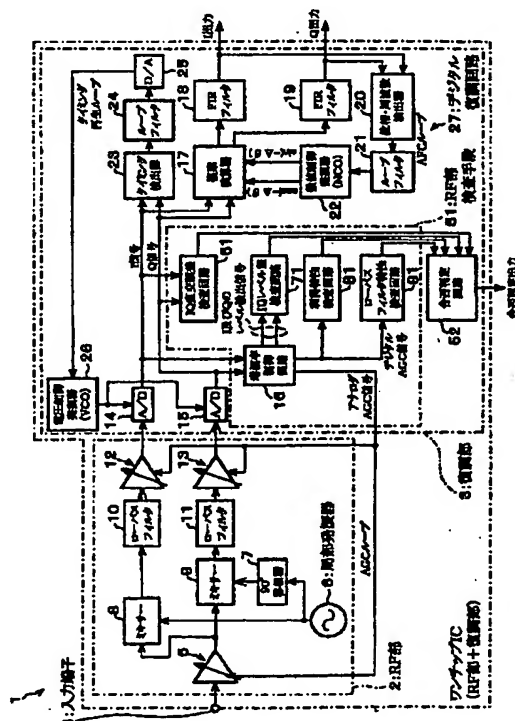
5K004 AA05 AA08 FA03 FE00 JE00

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 RF部2と復調部3とが1パッケージで構成される場合に、RF部2を大型化させることなくRF部2の検査を行う。製品コストを低減する。

【解決手段】 復調部3にRF部検査手段51を設ける。RF部検査手段51は、A/D変換回路14・15から出力されるIQデジタル信号に基づいて、RF部2の動作検査を行うものであり、増幅率制御回路16と、IQ直交誤差検査回路61と、IQレベル差検査回路71と、利得特性検査回路81と、ローパスフィルタ特性検査回路91とで構成されている。RF部2の検査機能を復調部3に持たせることにより、RF部2の検査において高価なテスターを用いることは不要となり、また、RF部2からの出力を取り出すための検査用のピンをRF部2に設ける必要がなくなる。



(2)

【特許請求の範囲】

【請求項1】 入力される高周波信号をI Qベースバンド信号に直交変調する変調部と、上記I Qベースバンド信号を増幅するための増幅部とを有するRF部と、上記I Qベースバンド信号をI Qデジタル信号に変換するアナログ/デジタル変換回路と、上記I Qデジタル信号を復調するデジタル復調回路とを有する復調部とを1パッケージ化した半導体集積回路であって、上記復調部は、上記アナログ/デジタル変換回路から出力されるI Qデジタル信号に基づいて、上記RF部の動作検査を行うRF部検査手段を備えていることを特徴とする半導体集積回路。

【請求項2】 上記RF部検査手段は、上記I Qデジタル信号に基づいて、上記RF部から出力されるI Qベースバンド信号のI信号とQ信号との直交誤差を検査するI Q直交誤差検査手段を備えていることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 上記I Q直交誤差検査手段は、上記I Qデジタル信号の符号をそれぞれ検出する符号判定回路と、所定時間内で上記I Qデジタル信号の符号が同符号となる時間を測定する時間測定回路と、上記時間測定回路にて測定された時間が規定範囲内にあるか否かを判定する判定回路とを備えていることを特徴とする請求項2に記載の半導体集積回路。

【請求項4】 上記RF部検査手段は、上記I Qデジタル信号のレベルを示すI レベル検出信号およびQ レベル検出信号を生成し、I レベル検出信号およびQ レベル検出信号に基づいて、上記RF部の上記増幅部における増幅利得を制御する増幅率制御回路と、上記I レベル検出信号および上記Q レベル検出信号に基づいて、上記RF部から出力されるI Qベースバンド信号のI信号とQ信号とのレベル差を検査するI Qレベル差検査手段とを備えていることを特徴とする請求項1ないし3のいずれかに記載の半導体集積回路。

【請求項5】 上記I Qレベル差検査手段は、上記I レベル検出信号と上記Q レベル検出信号とのレベル差に対応する値をI Qレベル差として検出するレベル差検出手段と、上記I Qレベル差とレベル差判定用基準値とに基づいて、I Qベースバンド信号のI信号とQ信号とのレベル差が規定範囲内であるか否かを判断するレベル差比較手段とを備えていることを特徴とする請求項4に記載の半導体集積回路。

【請求項6】 上記RF部検査手段は、上記アナログ/デジタル変換回路から出力されるI Qデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生成する増幅率制御回路と、上記RF部に入力される信号の変化に伴う上記デジタル

制御信号の変化が規定範囲内であるか否かを検出することにより、上記増幅利得の特性を検査する利得特性検査手段とを備えていることを特徴とする請求項1ないし5のいずれかに記載の半導体集積回路。

【請求項7】 上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の上限値と最小利得検査用基準値とを比較し、その比較結果に応じた値を出力する第1の比較回路を備えていることを特徴とする請求項6に記載の半導体集積回路。

【請求項8】 上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の下限値と最大利得検査用基準値とを比較し、その比較結果に応じた値を出力する第2の比較回路を備えていることを特徴とする請求項6または7に記載の半導体集積回路。

【請求項9】 上記RF部は、I Qベースバンド信号の高周波成分を除去するためのローパスフィルタをさらに備え、

上記RF部検査手段は、上記アナログ/デジタル変換回路から出力されるI Qデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生成する増幅率制御回路と、上記デジタル制御信号に基づいて、上記ローパスフィルタの通過領域および遮断領域の特性を検査するローパスフィルタ特性検査手段とを備えていることを特徴とする請求項1ないし8のいずれかに記載の半導体集積回路。

【請求項10】 上記ローパスフィルタ特性検査手段は、上記デジタル制御信号の値を記憶する第1のメモリ回路および第2のメモリ回路と、上記RF部に入力される信号の周波数が上記ローパスフィルタの通過領域にあるか遮断領域にあるかに応じて、上記デジタル制御信号の出力先を第1のメモリ回路および第2のメモリ回路とで切り換える入力スイッチ回路と、

上記第1のメモリ回路に記憶されたデジタル制御信号の値と、上記第2のメモリ回路に記憶されたデジタル制御信号の値との差と、ローパスフィルタ検査基準値とを比較し、比較結果に応じた値を出力するフィルタ特性比較回路とを備えていることを特徴とする請求項9に記載の半導体集積回路。

【請求項11】 上記復調部は、上記RF部検査手段での検査結果に基づいて、パッケージとしての合否判定を行う合否判定回路をさらに備えていることを特徴とする請求項1ないし10のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルテレビジョン放送などのRF（高周波）信号を受信するための半

(3)

3

導体集積回路（デジタル放送受信装置）に関するものであり、特に、RF部と復調部とを1パッケージで構成した半導体集積回路に関するものである。

【0002】

【従来の技術】放送通信分野においては、高密度のデータを送受信するためにデジタル信号処理技術を用いた方式が採られている。例えば、衛星放送分野では、QPSK (quadrature phase shift keying) と呼ばれる変復調方式が用いられる。QPSK信号は、図12に示す通り、 $(n \times \pi / 4)$ の位相を持つ信号 (n は整数) であり、送信データに応じて、IQ平面上の4点 (00), (01), (11), (10) のいずれか1点に置き換えられる。これをマッピングと言ひ、IQ平面上の信号をベースバンド信号と呼ぶ。マッピング後、フィルタで信号が波形整形される。波形整形されたI軸上、Q軸上の信号をそれぞれ $I(t)$ 、 $Q(t)$ とおく。

【0003】送信器は、IQ平面上にあるベースバンド信号を、以下の式

$$F(t) = I(t) \cos(2\pi f t) - Q(t) \sin(2\pi f t)$$

を用い、 $\cos(2\pi f t)$ 、 $\sin(2\pi f t)$ でRF信号に変換して送信する。

【0004】ここで、図13は、上記RF信号を受信する、デジタル衛星放送における一般的なデジタル放送受信装置の構成を示している。従来のデジタル放送受信装置1'は、RF部2と復調部3とで構成されている。従来、RF部2と復調部3とは別々のチップ（デバイス）で形成されていたが、近年では、同図のように、これらを一体化したワンチップICも開発されている。

【0005】RF部2は、入力端子4、可変利得型増幅器5、局部発振器6、90°移相器7、ミキサ8・9、ローパスフィルタ10・11、可変利得型増幅器12・13を備えている。一方、復調部3は、A/D（アナログ/デジタル）変換回路14・15、増幅率制御回路16、複素演算器17、FIRフィルタ18・19、位相・周波数検出器20、ループフィルタ21、数値制御発振器（NCO）22、タイミング検出器23、ループフィルタ24、D/A（デジタル/アナログ）変換回路25および電圧制御発振器（VCO）26を備えている。

【0006】RF部2では、RF信号をベースバンド信号に直交変調する他、伝送路で減衰した信号レベルを所定レベルまで増幅して出力する。復調部3では、RF部2における増幅率を制御する他、周波数変換の誤差、A/D変換回路14・15のサンプリングタイミング誤差を除去し、送信データの復調を行う。より詳細に説明すると、以下の通りである。

【0007】RF部2では、RF信号が入力端子4に入力され、アナログAGC信号により利得を変化させる可変利得型増幅器5で増幅される。増幅されたRF信号

4

は、局部発振器6、90°移相器7、ミキサ8・9で構成される直交変調器に入力される。局部発振器6、90°移相器7は、RF信号をベースバンド信号に変換するための信号 $\cos(-2\pi f t)$ 、 $\sin(-2\pi f t)$ をそれぞれ出力する。可変利得型増幅器5にて増幅後のRF信号と、局部発振器6、90°移相器7からの信号 $\cos(-2\pi f t)$ 、 $\sin(-2\pi f t)$ とは、ミキサ8・9にてミキシングされ、ミキサ8・9から次の式で表される信号が出力される。なお、ミキサ8の出力を $I'(t)$ 、ミキサ9の出力を $Q'(t)$ とする。

$$\begin{aligned} \text{【0008】 } I'(t) &= \alpha\beta/2 \times (I(t) + I(t) \times \cos(4\pi f t) - Q(t) \times \sin(4\pi f t)) \\ Q'(t) &= \alpha\beta/2 \times (I(t) \times \sin(4\pi f t) + Q(t) - Q(t) \times \cos(4\pi f t)) \end{aligned}$$

ただし、 α は伝送路での減衰率、 β は可変利得増幅器5の増幅率とする。

【0009】これらの信号は、ローパスフィルタ10・11を通過することで高周波成分が除去されてベースバンド信号 $\alpha\beta/2 \times I(t)$ 、 $\alpha\beta/2 \times Q(t)$ となる。これらベースバンド信号は、可変利得増幅器12・13で増幅されてRF部2から出力される。

【0010】復調部3では、RF部2から受けた上記ベースバンド信号を、A/D変換回路14・15でアナログ信号からデジタル信号に変換し、デジタル信号処理を行う。A/D変換回路14・15でのサンプリングは、電圧制御発振器（VCO）26から出力されるクロックで行われる。

【0011】復調部3は、A/D変換回路14・15への入力信号のレベルを一定にするAGCループ（Auto Gain Control Loop）、位相・周波数同期を取るAFCループ（Auto Frequency Control Loop）、シンボルのタイミング同期を取るタイミング再生ループ（Timing Recovery Loop）の3つのフィードバックループで構成されている。

【0012】AGCループは、A/D変換回路14・15、増幅率制御回路16、RF部2の可変利得型増幅器5・12・13で構成されている。A/D変換回路14・15への入力レベルが一定になるように、増幅率制御回路16からアナログAGC信号が利得制御型増幅器5・12・13に出力され、利得制御型増幅器5・12・13の増幅率が制御される。

【0013】AFCループは、複素演算器17、FIRフィルタ18・19、位相・周波数検出器20、ループフィルタ21、数値制御発振器（NCO）22で構成される。

【0014】ミキサ8・9でRF信号からベースバンド信号に変換する時に位相誤差 $\Delta\theta$ がある場合、A/D変換回路14・15からの出力信号は次の式で表され

(4)

5

る。なお、A/D変換回路14の出力を $I''(t)$ 、A/D変換回路15の出力を $Q''(t)$ とする。

$$【0015】 I''(t) = \alpha\beta\gamma/2 \times (I(t) \times \cos(\Delta\theta) - Q(t) \times \sin(\Delta\theta))$$

$$Q''(t) = \alpha\beta\gamma/2 \times (I(t) \times \sin(\Delta\theta) + Q(t) \times \cos(\Delta\theta))$$

ただし、 γ は可変利得型増幅器12・13の増幅率とする。

【0016】FIRフィルタ18・19を通過して波形整形されたベースバンド信号の位相誤差 $\Delta\theta$ は、位相・周波数検出器20で検出される。検出信号は、ループフィルタ21にて高周波成分が除去され、数値制御発振器(NCO)22に制御信号として入力される。数値制御発振器22は、制御信号に応じて位相・周波数誤差を除去するための信号 $\cos(-\Delta\theta)$ 、 $\sin(-\Delta\theta)$ を出力する。A/D変換回路14・15のベースバンド信号出力と数値制御発振器22の出力とは、次の演算を行う複素演算器17に入力される。なお、複素演算器17の出力をそれぞれ $I'''(t)$ 、 $Q'''(t)$ とする。

【0017】

$$\begin{aligned} I'''(t) &= I''(t) \times \cos(-\Delta\theta) \\ &\quad - Q''(t) \times \sin(-\Delta\theta) \\ &= \alpha\beta\gamma/2 \times I(t) \\ Q'''(t) &= I''(t) \times \sin(-\Delta\theta) \\ &\quad + Q''(t) \times \cos(-\Delta\theta) \\ &= \alpha\beta\gamma/2 \times Q(t) \end{aligned}$$

つまり、複素演算器17の出力は、位相誤差成分が除去され、 $\alpha\beta\gamma/2 \times I(t)$ 、 $\alpha\beta\gamma/2 \times Q(t)$ となる。

【0018】タイミング再生ループは、A/D変換回路14・15、タイミング検出器23、ループフィルタ24、D/A変換回路25、電圧制御発振器(VCO)26で構成される。

【0019】A/D変換回路14・15の入力信号は、制御電圧に応じて周波数を変える電圧制御発振器26の当該周波数でサンプリングされ、デジタル信号として出力される。タイミング検出器23は、A/D変換回路14・15の出力信号から、A/D変換回路14・15の入力信号のシンボルタイミングとそれをサンプリングするための電圧制御発振器26の出力とのタイミング誤差 Δt を検出する。検出された誤差 Δt は、ループフィルタ24で高周波成分が除去された後、D/A変換回路25を通じて電圧制御発振器26に制御信号として入力される。

【0020】ここで、図14および図15は、シンボルタイミングとサンプリングタイミングとの差がプラスの場合とマイナスの場合とを示している。電圧制御発振器26からの出力は、図14のように検出誤差 Δt がプラスの時は、周波数が低くなる方向に制御され、図15の

6

ように検出誤差 Δt がマイナスの時は、周波数が高くなる方向に制御される。検出誤差 $\Delta t=0$ の時、周波数変化が0となり、一定の周波数信号が電圧制御発振器23から出力され、入力信号のシンボルタイミングとA/D変換回路14・15のサンプリングタイミングとが一致するようになる。

【0021】以上が一般的なデジタル放送デジタル放送受信装置の構成と動作である。

【0022】次に、上記したデジタル放送受信装置の検査について説明する。

【0023】デジタル放送受信装置の製品化について考えた場合、例えばRF部2が所望の機能を発揮するか否かの検査を行う必要がある。RF部2の一般的な検査項目としては、例えば以下のものが挙げられる。

【0024】・IQ信号の直交性検査

・IQ信号のレベル差検査

・利得特性検査

・ローパスフィルタ特性検査

例えば、RF部2と復調部3とが別々のチップの時は、

図16で示すように、RFテスター40を使用し、RF部2からの出力(可変利得型増幅器12・13からの出力)をRFテスター40で測定することにより、RF部2の検査を行うことが可能である。このとき、RF部2の入力には、例えば \sin 波が用いられる。なお、図16に示すRF部2と、図13に示す従来型デジタル放送受信装置1'のRF部2とで共通の構成には共通の番号を付している。以下、上記各検査について簡単に説明すれば以下の通りである。

【0025】IQ信号の直交性検査は、 90° 移相器7の誤差検査である。RF部2に \sin 波を入力した時、RF部2は、理想的には、 \cos 波、 \sin 波を出力する。この場合、RF部2の出力波形同士には、 90° の位相差があることになる。ところが、 90° 移相器7に誤差があった場合、RF部2の出力波形同士の位相差は 90° から幾分ずれる。IQ信号の直交性検査では、RF部2の出力波形同士の位相差が 90° に対してどの程度誤差があるかを測定し、誤差が規定範囲内にあるか否かを検査する。

【0026】IQ信号のレベル差の検査は、可変利得制御型増幅器12・13の利得差の検査であり、外部電極から可変利得制御型増幅器12・13に同じ制御電圧を与えた時に、IQ信号の出力レベル差が規定範囲内にあるか否かを検査するものである。

【0027】利得特性検査は、可変利得型増幅器5・12・13の利得範囲の検査であり、利得特性が規定範囲内にあるか否かを検査するものである。

【0028】ローパスフィルタ特性検査は、ローパスフィルタ10・11の振幅特性の検査であり、ローパスフィルタ10・11の通過領域、遮断領域の特性が規定範囲内に入っているか否かを検査するものである。

50

(5)

7

【0029】

【発明が解決しようとする課題】ところで、RF部2と復調部3とが別々のチップの時は、RF部2の出力を直接取り出すことができるので、RFテスター40を用いることで上述のようにRF部2の検査が可能である。

【0030】しかし、RF部2と復調部3とが一体となったワンチップICの場合は、RF部2の出力をそのまま外部に取り出すことができないため、例えば、検査用のピンをRF部2の出力に接続して設け、この検査用のピンを介してRF部2の検査を行う必要がある。したがって、検査用ピンを設けることで、部品点数が増え、パッケージも大きくなるおそれがあり、また、チップコストが上がることも懸念される。

【0031】また、従来のRF部2の検査方式では、高価なRFテスター40が必要であり、チップコストを上げる要因となっている。

【0032】本発明は、上記の問題点を解決するためになされたもので、その目的は、RF部と復調部とが1パッケージ（ワンチップIC）で構成される場合に、RF部を大型化させることなくRF部の検査を行うことができ、しかも、製品コストを低減できる半導体集積回路を提供することにある。

【0033】

【課題を解決するための手段】本発明に係る半導体集積回路は、上記の課題を解決するために、入力される高周波信号をIQベースバンド信号に直交変調する変調部と、上記IQベースバンド信号を増幅するための増幅部とを有するRF部と、上記IQベースバンド信号をIQデジタル信号に変換するアナログ／デジタル変換回路と、上記IQデジタル信号を復調するデジタル復調回路とを有する復調部とを1パッケージ化した半導体集積回路であって、上記復調部は、上記アナログ／デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の動作検査を行うRF部検査手段を備えていることを特徴としている。

【0034】上記の構成によれば、RF部に入力された高周波信号は変調部にてIQベースバンド信号に直交変調され、増幅部にて増幅される。そして、増幅されたIQベースバンド信号は、復調部のアナログ／デジタル変換回路にてIQデジタル信号に変換され、デジタル復調回路により復調される。

【0035】ここで、復調部は、アナログ／デジタル変換回路から出力されるIQデジタル信号に基づいてRF部の動作検査を行うRF部検査手段を備えており、アナログ／デジタル変換回路という既存の構成を利用して、RF部検査手段がRF部の検査を行うようになっている。

【0036】このようにRF部の検査機能を復調部に持たせることにより、RF部と復調部とが1パッケージ化された半導体集積回路が構成された場合でも、RF部の

8

検査において高価なテスターを用いることは不要となり、また、RF部からの出力を取り出すための検査用のピンをRF部に設ける必要がなくなる。これにより、RF部の大型化によるパッケージ自体の大型化を回避することができると共に、半導体集積回路の製品としてのコストを低減することができる。

【0037】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部検査手段は、上記IQデジタル信号に基づいて、上記RF部から出力されるIQベースバンド信号のI信号とQ信号との直交誤差を検査するIQ直交誤差検査手段を備えていることを特徴としている。

【0038】上記の構成によれば、RF部検査手段がIQ直交誤差検査手段を備えているので、既存のアナログ／デジタル変換回路を利用して、RF部から出力されるIQベースバンド信号のI信号とQ信号との直交誤差を検査することができる。

【0039】本発明に係る半導体集積回路は、上記の課題を解決するために、上記IQ直交誤差検査手段は、上記IQデジタル信号の符号をそれぞれ検出する符号判定回路と、所定時間内で上記IQデジタル信号の符号が同符号となる時間を測定する時間測定回路と、上記時間測定回路にて測定された時間が規定範囲内にあるか否かを判定する判定回路とを備えていることを特徴としている。

【0040】上記の構成によれば、符号判定回路にて判定されたIQデジタル信号の符号が所定時間内で同符号となる時間を時間測定回路が測定し、上記時間が規定範囲内か否かを判定回路が判定することにより、上記IQデジタル信号に対応するRF部からの出力（IQベースバンド信号）が同符号となる時間が規定範囲内か否かを判断することができる。これにより、上記IQベースバンド信号のI信号とQ信号との直交誤差を検査することができる。

【0041】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部検査手段は、上記IQデジタル信号のレベルを示すIレベル検出信号およびQレベル検出信号を生成し、Iレベル検出信号およびQレベル検出信号に基づいて、上記RF部の上記増幅部における増幅利得を制御する増幅率制御回路と、上記Iレベル検出信号および上記Qレベル検出信号に基づいて、上記RF部から出力されるIQベースバンド信号のI信号とQ信号とのレベル差を検査するIQレベル差検査手段とを備えていることを特徴としている。

【0042】上記の構成によれば、RF部検査手段は、増幅率制御回路にて生成されるIレベル検出信号およびQレベル検出信号に基づいて、IQベースバンド信号のレベル差を検査するIQレベル差検査手段を備えている。これにより、既存のアナログ／デジタル変換回路を利用して、RF部から出力されるIQベースバンド信号

(6)

9

のレベル差を検査することができる。

【0043】本発明に係る半導体集積回路は、上記の課題を解決するために、上記IQレベル差検査手段は、上記Iレベル検出信号と上記Qレベル検出信号とのレベル差に対応する値をIQレベル差として検出するレベル差検出手段と、上記IQレベル差とレベル差判定用基準値とに基づいて、IQベースバンド信号のI信号とQ信号とのレベル差が規定範囲内であるか否かを判断するレベル差比較手段とを備えていることを特徴としている。

【0044】Iレベル検出信号と上記Qレベル検出信号とのレベル差は、アナログ/デジタル変換回路の出力差であり、それゆえ、IQレベル差は、上記出力差に対応している。レベル差検出手段にて検出されたIQレベル差と、レベル差判定用基準値とに基づいて、レベル差比較手段がIQベースバンド信号のI信号とQ信号とのレベル差が規定範囲内であるか否かを判断する。

【0045】ここで、RF部の増幅部に利得差があると、その差に応じて、復調部のアナログ/デジタル変換回路に出力差が現れる。したがって、アナログ/デジタル変換回路の出力差を増幅率制御回路を介してIQレベル差として検出し、そのIQレベル差とレベル差判定用基準値とを比較することで、上記増幅部の利得差、つまり、RF部から出力されるIQベースバンド信号のI信号とQ信号とのレベル差の検査を行うことができる。

【0046】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部検査手段は、上記アナログ/デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生成する増幅率制御回路と、上記RF部に
30 入力される信号の変化に伴う上記デジタル制御信号の変化に基づいて、上記増幅利得の特性を検査する利得特性検査手段とを備えていることを特徴としている。

【0047】RF部に入力される信号の例えば振幅値を変化させることで上記入力信号を変化させた場合、その変化に対応して、RF部の上記増幅部における増幅率が変化し、その結果、増幅率制御回路からのデジタル制御信号も変化する。上記デジタル制御信号は、RF部の増幅部の増幅利得を制御するためのアナログ制御信号に対応しているため、利得特性検査手段が上記デジタル制御信号の変化を検出することにより、上記アナログ制御信号の変化を検出できる。これにより、上記アナログ制御信号により制御される上記増幅利得の特性を、復調部側で的確に検査することができる。

【0048】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の上限値と最小利得検査用基準値とを比較し、その比較結果に応じた値を出力する第1の比較回路を備えていることを特徴としている。

10

【0049】上記の構成によれば、第1の比較回路により、最小利得の検査を行うことができる。

【0050】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の下限値と最大利得検査用基準値とを比較し、その比較結果に応じた値を出力する第2の比較回路を備えていることを特徴としている。

【0051】上記の構成によれば、第2の比較回路により、最大利得の検査を行うことができる。

【0052】本発明に係る半導体集積回路は、上記の課題を解決するために、上記RF部は、IQベースバンド信号の高周波成分を除去するためのローパスフィルタをさらに備え、上記RF部検査手段は、上記アナログ/デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生成する増幅率制御回路と、上記デジタル制御信号に基づいて、上記ローパスフィルタの通過領域および遮
20 断領域の特性を検査するローパスフィルタ特性検査手段とを備えていることを特徴としている。

【0053】入力信号の周波数がローパスフィルタの遮断領域にある場合、ローパスフィルタで信号は減衰する。ところが、増幅率制御回路の制御により、アナログ/デジタル変換回路の入力レベルは、所定レベル（増幅率制御回路で設定される基準値）になるので、ローパスフィルタで信号が減衰した分、増幅部での増幅率は高くなり、増幅率制御回路から出力されるデジタル制御信号は小さくなる。逆に、入力信号の周波数がローパスフィルタの通過領域にある場合、増幅率制御回路から出力されるデジタル制御信号は大きくなる。

【0054】このように、入力信号の周波数がローパスフィルタの遮断領域にある場合と通過領域にある場合とで、それらに対応して得られるデジタル制御信号の値は増減するので、ローパスフィルタ特性検査手段は、上記デジタル制御信号に基づいて、ローパスフィルタの通過特性（通過領域および遮断領域の特性）を的確に検査することが可能となる。

【0055】本発明に係る半導体集積回路は、上記の課題を解決するために、上記ローパスフィルタ特性検査手段は、上記デジタル制御信号の値を記憶する第1のメモリ回路および第2のメモリ回路と、上記RF部に入力される信号の周波数が上記ローパスフィルタの通過領域にあるか遮断領域にあるかに応じて、上記デジタル制御信号の出力先を第1のメモリ回路および第2のメモリ回路とで切り換える入力スイッチ回路と、上記第1のメモリ回路に記憶されたデジタル制御信号の値と、上記第2のメモリ回路に記憶されたデジタル制御信号の値との差と、ローパスフィルタ検査基準値とを比較し、比較結果
50 に応じた値を出力するフィルタ特性比較回路とを備えて

(7)

11

いることを特徴としている。

【0056】上記の構成によれば、入力スイッチ回路により、周波数がローパスフィルタの遮断領域内にある信号が入力された場合に得られるデジタル制御信号の値が例えば第1のメモリ回路に記憶される一方、周波数がローパスフィルタの通過領域内にある信号が入力された場合に得られるデジタル制御信号の値が例えば第2のメモリ回路に記憶される。そして、第1のメモリ回路に記憶されたデジタル制御信号の値と、第2のメモリ回路に記憶されたデジタル制御信号の値との差と、ローパスフィルタ検査基準値との比較結果がフィルタ特性比較回路から出力される。

【0057】上記したように、入力信号の周波数がローパスフィルタの遮断領域にある場合と通過領域にある場合とで、それらに対応して得られるデジタル制御信号の値は増減するので、第1のメモリ回路および第2のメモリ回路に記憶された各デジタル制御信号の値の差の大小を見ることで、ローパスフィルタの通過特性を確実に検査することができる。

【0058】本発明に係る半導体集積回路は、上記の課題を解決するために、上記復調部は、上記RF部検査手段での検査結果に基づいて、パッケージとしての合否判定を行う合否判定回路をさらに備えていることを特徴としている。

【0059】上記の構成によれば、復調部が合否判定回路を備えることで、RF部検査手段での検査結果に基づいて、半導体集積回路がパッケージ（製品）として合格であるか否かを自動判定することができる。

【0060】

【発明の実施の形態】本発明の実施の一形態について、図面に基いて説明すれば以下の通りである。なお、説明の便宜上、図13で示した従来技術と同一の構成には同一の部材番号を付記する。

【0061】図1は、本実施形態に係る半導体集積回路としてのデジタル放送受信装置1の概略の構成を示している。デジタル放送受信装置1は、RF部2と復調部3とを同一チップ上に形成し、1パッケージ化した1チップICで構成されている。

【0062】RF部2は、入力される高周波信号（RF信号）をIQベースバンド信号に直交変調すると共に、伝送路で減衰した信号レベルを所定レベルまで増幅するものであり、入力端子4、可変利得型増幅器5、局部発振器6、90°移相器7、ミキサー8・9、ローパスフィルタ10・11、可変利得型増幅器12・13を備えている。

【0063】上記の局部発振器6、90°移相器7、ミキサー8・9は、入力端子4を介して入力される高周波信号をIQベースバンド信号に直交変調する変調部を構成しており、可変利得型増幅器5・12・13は、上記IQベースバンド信号を増幅するための増幅部を構成し

12

ている。また、ローパスフィルタ10・11は、上記IQベースバンド信号の高周波成分を除去するためのものである。

【0064】一方、復調部3は、A/D（アナログ/デジタル）変換回路14・15、デジタル復調回路27を備えている。A/D変換回路14・15は、RF部2から出力される上記IQベースバンド信号をIQデジタル信号に変換するものである。デジタル復調回路27は、上記IQデジタル信号を復調するものであり、複素演算器17、FIRフィルタ18・19、位相・周波数検出器20、ループフィルタ21、数値制御発振器（NCO）22、タイミング検出器23、ループフィルタ24、D/A（デジタル/アナログ）変換回路25および電圧制御発振器（VCO）26で構成されている。

【0065】また、復調部3は、増幅率制御回路16を備えている。増幅率制御回路16は、A/D変換回路14・15から出力されるIQデジタル信号のレベルを示すIレベル検出信号およびQレベル検出信号を生成し、Iレベル検出信号およびQレベル検出信号に基づいて、RF部2の上記増幅部における増幅利得を制御するためのアナログ制御信号を生成するものである。具体的には、図2に示すように、増幅率制御回路16は、IQレベル検出回路31、比較結果出力回路32およびD/A変換回路33を備えている。

【0066】IQレベル検出回路31は、A/D変換回路14・15の出力レベル（Iレベル、Qレベル）をそれぞれ検出するレベル検出器34・35と、レベル検出器34・35の出力を加算する加算器36とで構成されている。比較結果出力回路32は、基準値と上記IQレベル検出回路31の出力との差分を出力する引算器37と、引算器37の出力を積分する積分器38とで構成されている。D/A変換回路33は、比較結果出力回路32の出力（デジタルAGC信号）をアナログ信号（アナログAGC信号）に変換するものである。

【0067】IQレベル検出回路31では、2個のレベル検出器34・35と加算器36とによって、IQデジタル信号の合計レベル（IQレベル検出信号）が算出される。IQレベル検出信号が、比較結果出力回路32内の基準値より高いと、引算器37の出力はプラスとなり、積分器38の出力は増加する。一方、IQレベル検出信号が、比較結果出力回路32内の基準値より低いと、引算器37の出力はマイナスとなり、積分器38の出力は減少する。比較結果出力回路32の出力（デジタルAGC信号）は、D/A変換回路33を通して、可変利得型増幅器5・12・13の増幅率を制御する信号（アナログAGC信号）となる。

【0068】ここで、図3に示すように、アナログAGC信号と可変利得型増幅器5・12・13の増幅率との関係（利得特性）が成り立つとすると、増幅率制御回路16では、IQデジタル信号の合計レベル（IQレベル

(8)

13

検出信号)が基準値より低い時は、可変利得型増幅器5・12・13の増幅率は上がる方向に制御され、IQレベル検出信号が基準値より高い時は、増幅率は下がる方向に制御される。また、IQレベル検出信号が基準値と同じになった時は、増幅率の変化は0となり、一定の増幅率で信号が増幅される。

【0069】また、増幅率制御回路16は、上記のような動作を行うことから、A/D変換回路14・15から出力されるIQデジタル信号に基づいて、RF部2の上記増幅部における増幅利得を制御するアナログ制御信号(アナログAGC信号)と、上記アナログ制御信号に対応するデジタル制御信号(デジタルAGC信号)とを生成する回路であると言えることができる。

【0070】なお、上記デジタルAGC信号は、次に示すRF部検査手段51でのRF部2の検査に用いられることから、増幅率制御回路16は、RF部検査手段51の一部を構成していると言えることができる。

【0071】また、復調部3は、デジタル放送受信装置1(RF部2)の検査を行う場合に使用されるRF部検査手段51と合否判定回路52(合否判定手段)とを備えている。RF部検査手段51は、A/D変換回路14・15から出力されるIQデジタル信号に基づいて、RF部2の動作検査を行うものであり、合否判定手段52は、RF部検査手段51での検査結果に基づいて、デジタル放送受信装置1のパッケージとしての合否を判断するものである。

【0072】つまり、本実施形態に係るデジタル放送受信装置1は、RF部検査手段51および合否判定回路52以外の構成については、図13で示した従来のデジタル放送受信装置1'と全く同じであるが、RF部検査手段51および合否判定回路52を備えている点で従来とは大きく異なっており、この点が本発明の特徴となっている。

【0073】デジタル放送受信装置1は、通常のRF信号受信時には、従来のデジタル放送受信装置1'と同じ動作を行うので、ここではその詳細な説明を省略する。

【0074】デジタル放送受信装置1の検査を行う場合は、入力信号にはsin波が使用され、入力端子4からデジタル放送受信装置1に入力される。ここで、入力端子4に入力される信号は、以下の式で表される。

$$\sigma \sin(2\pi f t)$$

ただし、 σ は振幅値を示す。

【0076】上記入力されたsin波は、可変利得型増幅器5で増幅され、下記の式で表される信号が出力される。

$$\sigma \beta \sin(2\pi f t)$$

ただし、 β は可変利得増幅器5の増幅率を示す。

【0078】可変利得型増幅器5の出力と、局部発振器6、90°移相器7により出力される信号 $\cos(-2\pi f t)$ 、 $\sin(-2\pi f t)$ とは、ミキサー8・9

14

でミキシングされる。この場合のミキサー8・9のAC出力は、以下の式で表される。なお、ミキサー8の出力を $x(t)$ 、ミキサー9の出力を $y(t)$ とする。

$$\text{【0079】 } x(t) = \sigma \beta / 2 \times \sin(4\pi f t)$$

$$y(t) = \sigma \beta / 2 \times \cos(4\pi f t)$$

出力 $x(t)$ 、 $y(t)$ は、ローパスフィルタ10・11を通過して、可変利得形増幅器12・13で増幅される。これにより、RF部2の出力は、以下の式で表される。なお、可変利得型増幅器12の出力を $x'(t)$ を、可変利得型増幅器13の出力を $y'(t)$ とする。

$$\text{【0080】}$$

$$x'(t) = \sigma \beta \gamma / 2 \times \sin(4\pi f t)$$

$$y'(t) = \sigma \beta \gamma / 2 \times \cos(4\pi f t)$$

ただし、 γ は可変利得型増幅器12・13の増幅率とする。

【0081】これらの信号がA/D変換回路14・15でアナログ信号からデジタル信号に変換され、RF部検査手段51に入力される。そして、RF部検査手段51での検査結果の合否判定結果が、合否判定回路52から出力される。

【0082】次に、RF部検査手段51の詳細について説明する。

【0083】RF部検査手段51は、図1に示すように、上述した増幅率制御回路16、IQ直交誤差検査回路61(IQ直交誤差検査手段)、IQレベル差検査回路71(IQレベル差検査手段)、利得特性検査回路81(利得特性検査手段)、ローパスフィルタ特性検査回路91(ローパスフィルタ特性検査手段)で構成されている。IQ直交誤差検査回路61、IQレベル差検査回路71、利得特性検査回路81、ローパスフィルタ特性検査回路91は、RF部2の検査を行う場合にのみ使用される。

【0084】IQ直交誤差検査回路61は、RF部2から出力されるIQベースバンド信号のI信号とQ信号との直交誤差が規定範囲内にあるか否かを、A/D変換回路14・15から出力されるIQデジタル信号に基づいて検査するものである。つまり、IQ直交誤差検査回路61は、RF部2の出力波形同士の位相差が90°に対してどの程度誤差があるかを上記IQデジタル信号に基づいて求め、その誤差が規定範囲内にあるか否かを検査する。

【0085】IQレベル差検査回路71は、増幅率制御回路16から出力されるIレベル検出信号およびQレベル検出信号に基づいて、RF部2から出力されるIQベースバンド信号のI信号とQ信号とのレベル差が規定範囲内にあるか否かを検査するものであり、これにより、可変利得制御型増幅器12・13の利得差を検査することができる。

【0086】利得特性検査回路81は、RF部2に入力される信号の変化に伴う、増幅率制御回路16からのデ

(9)

15

デジタルAGC信号（デジタル制御信号）の変化に基づいて、RF部2の利得特性の検査を行うものである。つまり、利得特性検査回路81は、入力信号の変化に伴うデジタルAGC信号の変化が規定範囲内であるか否かを検出することにより、RF部2の利得特性が規定範囲内であるか否かの検査（可変利得型増幅器5・12・13の利得範囲の検査）を行う。

【0087】ローパスフィルタ特性検査回路91は、RF部2のローパスフィルタ10・11の振幅特性の検査を行うものであり、ローパスフィルタ10・11の通過特性（通過領域および遮断領域）の特性が規定範囲内に入っているか否かを検査する。

【0088】以下、上記した各検査回路について詳細に説明する。

【0089】（IQ直交誤差検査回路）IQ直交誤差検査回路61は、図4に示すように、符号判定回路62と、時間測定回路63と、比較回路64とで構成されている。

【0090】符号判定回路62は、A/D変換回路14・15からの出力（IQデジタル信号）の符号をそれぞれ検出する符号検出器65・66で構成されている。

【0091】時間測定回路63は、符号検出器65・66にて検出された符号、つまり、上記IQデジタル信号の符号が所定時間内で同符号となる時間を測定するものであり、同符号判定部67と積分器68とで構成されている。同符号判定部67は、符号検出器65・66にて検出された符号が同符号の場合には“0”を出力する一方、異符号の場合は“1”を出力する。また、積分器68は、所定時間中に同符号判定部67の出力が“0”となった回数を出力する。これにより、積分器68からは、上記所定時間中にA/D変換回路14・15からの出力の符号が一致している時間が出力されることになる。

【0092】比較回路64は、時間測定回路63の出力（時間測定回路63にて測定された時間）が規定範囲内にあるか否かを判定する判定回路である。つまり、比較回路64は、時間測定回路63の積分器68の出力（同符号となる時間）と基準値（時間判定用基準値、リファレンス、合格判定基準）とを比較し、積分器68の出力がリファレンス範囲内にある場合は“0”を出力する一方、範囲外の場合は“1”を出力し、比較結果に応じた値を出力する。

【0093】ここで、90°移相器7の出力に誤差 $\Delta\theta$ がある場合、RF部2の出力（可変利得型増幅器12・13の出力）は、以下の式で示される。

【0094】

$$x'(t) = \sigma\beta\gamma / 2 \times \sin(4\pi ft)$$

$$y'(t) = \sigma\beta\gamma / 2 \times \cos(4\pi ft + \Delta\theta)$$

図5ないし図7は、誤差 $\Delta\theta$ が0、マイナス、プラスのときの、所定時間での出力 $x'(t)$ 、 $y'(t)$ の波

16

形をそれぞれ示している。図5に示すように、誤差 $\Delta\theta$ が0の時は、出力 $x'(t)$ と $y'(t)$ とは、上記所定時間のうち半分の時間が同符号となる。また、出力 $x'(t)$ と $y'(t)$ とは、誤差 $\Delta\theta$ がマイナスの時、図6に示すように上記所定時間内では同符号の時間が長く、誤差 $\Delta\theta$ がプラスの時、図7に示すように上記所定時間内では同符号の時間が短くなる。したがって、出力 $x'(t)$ と $y'(t)$ とが同符号となる時間を測定することで、誤差 $\Delta\theta$ の大きさが分かる。

【0095】そこで、IQ直交誤差検査回路61は、出力 $x'(t)$ 、 $y'(t)$ に対応するIQデジタル信号が同符号となる時間を測定し、この時間が規定範囲内か否かを判断することで、出力 $x'(t)$ 、 $y'(t)$ が同符号となる時間が規定範囲内か否かを判断することができる。これにより、RF部2から出力されるIQベースバンド信号のI信号とQ信号との直交誤差 $\Delta\theta$ が規定範囲内にあるか否かを検査することができる。

【0096】（IQレベル差検査回路）次に、IQレベル差検査回路71について説明する。IQレベル差検査回路71は、図8に示すように、増幅率制御回路16から出力されるIレベル検出信号とQレベル検出信号とのレベル差に対応する値をIQレベル差として検出する引算回路72（レベル差検出手段）と、上記IQレベル差と予め規定した基準値（レベル差判定用基準値、リファレンス、合否判定基準）とに基づいて、IQベースバンド信号のI信号とQ信号とのレベル差が規定範囲内であるか否かを判断する差分比較回路73（レベル差比較手段）とで構成されている。

【0097】引算回路72は、増幅率制御回路16のIQレベル検出回路31からの出力（Iレベル検出信号、Qレベル検出信号）をそれぞれ一定期間積分する積分器74・75と、各々の積分器74・75の差分を計算する引算器76とで構成されている。また、差分比較回路73は、引算器76からの出力の絶対値を検出する絶対値検出器77と、上記絶対値が基準値より小さい場合には“0”を出力する一方、上記絶対値が基準値よりも大きい場合には“1”を出力する比較回路78とで構成されている。

【0098】可変利得型増幅器12・13とで利得差があった場合、RF部2の出力は、以下の式で表される。

【0099】

$$x'(t) = \sigma\beta\gamma_1 / 2 \times \sin(4\pi ft)$$

$$y'(t) = \sigma\beta\gamma_2 / 2 \times \cos(4\pi ft)$$

ただし、 γ_1 は可変利得型増幅器12の増幅率を示し、 γ_2 は可変利得型増幅器13の増幅率を示す。

【0100】上記の出力 $x'(t)$ 、 $y'(t)$ が、復調部3のA/D変換回路14・15にそれぞれ入力され、A/D変換回路14・15にて得られるIQデジタル信号がそれぞれ増幅率制御回路16に入力されると、増幅率制御回路16内のIQレベル検出回路31のレベ

(10)

17

ル検出器34・35から、Iレベル検出信号、Qレベル検出信号が出力される。その後、上記のIレベル検出信号、Qレベル検出信号は、積分器74・75にて一定期間積分され、出力レベルが平均化される。積分器74・75からの出力は引算器76に輸入され、引算器76にて差分計算される。その結果、引算器76では、増幅率の差 $\gamma_1^2 - \gamma_2^2$ が得られる。なお、この増幅率の差 $\gamma_1^2 - \gamma_2^2$ が上記のIQレベル差に対応している。

【0101】絶対値検出器77は、上記増幅率の差 $\gamma_1^2 - \gamma_2^2$ の絶対値をIQレベル差として出力し、比較回路78は、その出力値を基準値と比較する。比較回路78は、IQレベル差が規定範囲内にある場合は“0”を出力する一方、規定範囲外の場合は“1”を出力する。

【0102】可変利得型増幅器12・13に利得差があると、その差に応じて、A/D変換回路14・15に出力差が現れる。したがって、IQレベル差検出回路71は、A/D変換回路14・15の出力差を増幅率制御回路16を介して検出し、その出力差が規定範囲内かどうかをIQレベル差を用いて判断することで、可変利得制御型増幅器12・13の利得差、つまり、RF部2から出力されるIQベースバンド信号のI信号とQ信号とのレベル差の検出を行うことができる。

【0103】(利得特性検査回路)利得特性の検査は、制御信号(デジタルAGC信号)に対する増幅率のカーブが規定範囲内にあるかどうかを見ることで行う。復調部3では、増幅率制御回路16のデジタルAGC信号を観測することで利得特性の検査が可能であり、これを利得特性検査回路81で行う。

【0104】利得特性検査回路81は、図9に示すように、比較回路82(第1の比較回路)、比較回路83(第2の比較回路)、出力スイッチ回路84で構成されている。

【0105】比較回路82は、最小利得検査用の比較回路で、RF部2に輸入される信号の振幅値を変化させた場合に、上記入力信号の変化に対応して変化する、増幅率制御回路16から出力されるデジタルAGC信号の上限値と基準値(最小利得検査用基準値、リファレンス、合否判定基準)Q₁とを比較する。そして、比較回路82は、上記の比較の結果、デジタルAGC信号が基準値Q₁より小さい場合は“0”を出力する一方、デジタルAGC信号が基準値Q₁より大きい場合は“1”を出力する。このように、その比較結果に応じた値を出力する。

【0106】比較回路83は、最大利得検査用の比較回路で、RF部2に輸入される信号の振幅値を変化させた場合に、上記入力信号の変化に対応して変化する、増幅率制御回路16から出力されるデジタルAGC信号の下限値と基準値(最大利得検査用基準値、リファレンス、合否判定基準)Q₂とを比較する。そして、比較回路83は、上記の比較の結果、デジタルAGC信号が基準値

18

Q₂より小さい場合は“1”を出力する一方、デジタルAGC信号が基準値Q₂より大きい場合は“0”を出力する。このように、その比較結果に応じた値を出力する。

【0107】出力スイッチ回路84は、最小利得検査の場合は、比較回路82の出力を選択し、最大利得検査の場合は、比較回路83の出力を選択するスイッチ回路であり、最小利得検査か最大利得検査かに応じて、比較回路82・83の出力を選択的に切り換える。

【0108】上記の構成では、最小利得検査用として例えば振幅値 σ_1 のsin波を入力端子4に輸入した場合におけるデジタルAGC信号の規定範囲を基準値Q₁以下、最大利得検査用として例えば振幅値 σ_2 のsin波を入力端子4に輸入した場合におけるデジタルAGC信号の規定範囲を基準値Q₂以上とし、振幅値を上記のように σ_1 、 σ_2 として入力信号(sin波)を変化させた場合に、その変化に対応して変化するデジタルAGC信号の上限値が基準値Q₁以下で、かつ、下限値が基準値Q₂以上である場合、利得特性検査回路81の出力スイッチ回路84の出力は“0”となり、それ以外では“1”となる。

【0109】AGCループが動作していると、A/D変換回路14・15の輸入は一定であり、図2で示した増幅率制御回路16内の基準値が例えば1に設定された場合、可変利得型増幅器12・13の増幅率は以下の関係を満たす。

$$\beta \gamma / 2 = 1 / \sigma$$

増幅率制御回路16は、上記の関係が成り立つようにアナログAGC信号を出力するものとする。なお、アナログAGC信号は、デジタルAGC信号をアナログ信号に変換したものである。

【0111】この場合、入力端子4に輸入される信号(sin波)の振幅値 σ を変更し、上式の右辺の $1/\sigma$ を変更すると、それに伴い、上式の左辺の増幅率 $\beta \gamma / 2$ が変化し、その結果、デジタルAGC信号も変化する。したがって、入力信号の振幅値を σ_1 と σ_2 とで変化させ、その変化に対応して変化するデジタルAGC信号を観測することで、利得特性の検査を行うことが可能となる。

【0112】図10は、利得特性検査におけるデジタルAGC信号と増幅率との関係を示している。波形aは、利得特性検査回路81の出力が“0”となる場合の可変利得型増幅器5・12・13の利得特性を示しており、利得特性(最大利得および最小利得)が振幅値 σ の変化の範囲内で規定範囲(合格範囲)内であることが分かる。ちなみに、波形bは、可変利得型増幅器5・12・13の最大利得が上記規定範囲外の場合を示しており、波形cは、可変利得型増幅器5・12・13の最小利得が上記規定範囲外の場合を示している。

【0113】(ローパスフィルタ特性検査回路)次に、

50

(11)

19

ローパスフィルタ特性検査回路91について説明する。ローパスフィルタ特性検査回路91は、RF部2のローパスフィルタ10・11の振幅特性として通過領域、遮断領域の特性が規定範囲にあるかを検査する。復調部3では、利得特性検査で説明した通り、AGCループが動作している場合、増幅率制御回路16のデジタルAGC信号を観測することで利得特性を検査することができるが、上記デジタルAGC信号を観測することで、ローパスフィルタ10・11の特性も同様に検査でき、これをローパスフィルタ特性検査手段91で行う。

【0114】ローパスフィルタ特性検査回路91は、図11に示すように、入力スイッチ回路92、メモリ回路93（第1のメモリ回路）、メモリ回路94（第2のメモリ回路）、フィルタ特性比較回路95を備えている。

【0115】入力スイッチ回路92は、観測条件に応じて、つまり、RF部2に入力される信号の周波数がローパスフィルタ10・11の通過領域にあるか遮断領域にあるかに応じて、増幅率制御回路16からのデジタルAGC信号の出力先をメモリ回路93とメモリ回路94とで切り換えるものである。

【0116】メモリ回路93・94は、入力スイッチ回路92を介して入力される上記デジタルAGC信号の値を記憶するものである。入力スイッチ回路92の上記作用により、メモリ回路93は、例えば周波数がローパスフィルタ10・11の遮断領域にある信号がRF部2に入力された場合に得られるデジタルAGC信号の値を記憶し、メモリ回路94は、例えば周波数がローパスフィルタ10・11の通過領域にある信号がRF部2に入力された場合に得られるデジタルAGC信号の値を記憶することになる。

【0117】フィルタ特性比較回路95は、メモリ回路93に記憶されたデジタルAGC信号の値と、メモリ回路94に記憶されたデジタルAGC信号の値との差と、基準値（ローパスフィルタ検査基準値、リファレンス、合否判定基準）とを比較し、比較結果に応じた値を出力するものである。このフィルタ特性比較回路95は、メモリ回路94の出力からメモリ回路93の出力を減算する引算器96と、引算器96での減算結果が基準値より大きい場合に“0”を出力する一方、上記減算結果が基準値より小さい場合に“1”を出力する比較回路97とで構成されている。

【0118】上記の構成では、入力スイッチ回路92により、周波数が遮断領域内の信号を入力させた時のデジタルAGC信号の値がメモリ回路93に記憶される一方、周波数が通過領域内の信号を入力させた時のデジタルAGC信号の値がメモリ回路94に記憶される。メモリ回路93に記憶されたデジタルAGC信号の値と、メモリ回路94に記憶されたデジタルAGC信号の値とが引算器96で減算される。引算器96の出力から、入力信号がローパスフィルタ10・11の遮断領域で通過領

20

域からどの程度減衰したかがわかる。比較回路97では、引算器96の出力と予め規定している基準値とが比較され、比較結果に応じた値が比較回路97から出力される。

【0119】入力信号の周波数がローパスフィルタ10・11の遮断領域にある場合、ローパスフィルタ10・11で信号は減衰する。ところが、AGCループが動作していると、A/D変換回路14・15の入力レベルは、増幅率制御回路16で設定される基準値になるので、ローパスフィルタ10・11で減衰した分、可変利得型増幅器5・12・13の増幅率は高くなり、増幅率制御回路16から出力されるデジタルAGC信号は小さくなる。逆に、入力信号の周波数がローパスフィルタ10・11の通過領域にある場合は、増幅率制御回路16から出力されるデジタルAGC信号は大きくなる。よって、周波数が遮断領域内の信号を入力した場合のデジタルAGC信号の値と、周波数が通過領域内の信号を入力した場合のデジタルAGC信号とを比較することで、ローパスフィルタ10・11の振幅特性を検査できる。

【0120】以上で説明した各検査回路での検査結果、つまり、RF部検査手段51のIQ直交誤差検査回路61、IQレベル差検査回路71、利得特性検査回路81、ローパスフィルタ特性検査回路91での検査結果は、合否判定回路52に入力される。合否判定回路52は、上記検査結果を総合的に勘案し、全ての検査項目（各検査回路での検査結果）が規定内にあった場合（各検査回路からの出力が“0”であった場合）には、デジタル放送受信装置1が製品（パッケージ）として合格であるとして“0”を、そうでない場合には“1”を出力する。このようにデジタル放送受信装置1の復調部3が合否判定回路52を備えることで、チップ自身でチップの合否判定を自動的に行うことができる。

【0121】以上のように、本発明では、RF部2の動作検査を行うRF部検査手段51を復調部3に設けることにより、RF部2と復調部3とを1チップICで構成した場合でも、従来のようにRF部2からの出力を取り出すための検査用のピンをRF部2に設ける必要がない。これにより、RF部2の大型化によるパッケージ自体の大型化を回避することができる。

【0122】また、RF部検査手段51により、高価なテスターを用いることなくRF部2の検査を行うことができ、しかも、上述のように検査用のピンも設けなくても済むので、デジタル放送受信装置1の製品としてのコストおよびテストを行う際ののコストを低減することができる。

【0123】なお、本実施形態では、RF部2と復調部3とを同一チップ上に形成することで1パッケージ化した半導体集積回路を構成した例について説明したが、RF部2と復調部3とを別々のチップに形成した後、これらのチップを1つのICパッケージにマルチチップ搭載

(12)

21

することで1パッケージ化した半導体集積回路を構成してもよい。

【0124】なお、本発明に係る半導体集積回路は、以下の第1～第13の半導体集積回路とも表現することができる。

【0125】第1の半導体集積回路は、特定の周波数帯域に複数のチャンネルの直交(IQ)デジタル変調波が存在する信号を入力する入力端子及び任意のチャンネルの直交デジタル変調波を選択してIQベースバンド信号に直接変換するダイレクトコンバージョンの機能を有するRF部と、上記IQベースバンド信号をIQデジタル信号に変換するアナログ/デジタル変換回路、上記IQデジタル信号を復調するデジタル復調回路、及び、上記RF部の増幅利得を制御する増幅率制御回路を有する復調部とを別々のチップに集積化した上で1つのICパッケージにマルチチップ搭載するか、または同一チップ上に集積化してICパッケージに搭載することで1パッケージ化した半導体集積回路であって、上記復調部に上記RF部の動作検査を行うRF部検査手段を備えた構成である。

【0126】第2の半導体集積回路は、第1の半導体集積回路であって、上記RF部検査手段において、RF部の利得特性の検査を行う利得特性検査手段を備えた構成である。

【0127】第3の半導体集積回路は、第2の半導体集積回路であって、上記利得特性検査手段は、上記入力端子にあらかじめ規定された上限及び下限値の入力信号レベルを入力した場合に、上記増幅率制御回路に備えられた、上記IQデジタル信号それぞれの出力レベルを検出するレベル検出器と、検出されたI及びQレベル検出信号を加算する加算回路と、加算されたIQレベル加算信号と基準信号とを比較した結果をデジタルAGC信号として出力する比較結果出力回路と、上記デジタルAGC信号をアナログAGC信号に変換するデジタル/アナログ変換回路により、上記復調部へのIQベースバンド信号のレベルが上記入力信号レベルの上限及び下限値に係わらず一定となるように、上記アナログAGC信号が調整され、そのときの上記入力信号レベルの上限及び下限値に相当する上記デジタルAGC信号の値が規定のレベル範囲にあることを検出する利得特性検査回路とを備えた構成である。

【0128】なお、この場合、本実施形態における増幅率制御回路16と利得特性検査回路81とが、利得特性検査手段に対応している。

【0129】第4の半導体集積回路は、第3の半導体集積回路であって、上記利得特性検査回路は、上記デジタルAGC信号の上限値と第一のリファレンスレベルとの比較を行う第一の利得特性比較回路と、上記デジタルAGC信号の下限値と第二のリファレンスレベルとの比較を行う第二の利得特性比較回路と、上記第一の利得特性

22

比較回路と上記第二の利得特性比較回路からの結果を選択する出力信号スイッチ回路とで構成されている。

【0130】第5の半導体集積回路は、第1の半導体集積回路であって、上記RF部検査手段において、RF部から出力されるIQベースバンド信号のI信号とQ信号のレベル差の検査を行うIQレベル差検査手段を備えた構成である。

【0131】第6の半導体集積回路は、第5の半導体集積回路であって、上記IQレベル差検査手段は、上記入力端子に規定レベルの入力信号を入力した場合に、上記増幅率制御回路に備えられた、上記IQデジタル信号それぞれの出力レベルを検出するレベル検出器と、検出されたI及びQのレベル検出信号を加算する加算回路と、加算されたIQレベル加算信号と基準信号とを比較した結果をデジタルAGC信号として出力する比較結果出力回路と、上記デジタルAGC信号をアナログAGC信号に変換するデジタル/アナログ変換回路により、上記復調部へのIQベースバンド信号のレベルが一定となるように、上記アナログAGC信号が調整され、そのとき、上記レベル検出器からの上記I及びQの検出信号の差が規定範囲内にあることを検査するIQレベル差検査回路とを備えた構成である。

【0132】第7の半導体集積回路は、第6の半導体集積回路であって、上記IQレベル差検査回路は、上記増幅率制御回路からのI及びQレベル検出信号の差を求める引算回路と、引算した差分の絶対値と差の基準値との比較を行う差分比較回路とで構成されている。

【0133】第8の半導体集積回路は、第1の半導体集積回路であって、上記RF部検査手段において、RF部のローパスフィルタ特性の検査を行うローパスフィルタ特性検査手段を備えた構成である。

【0134】第9の半導体集積回路は、第8の半導体集積回路であって、上記ローパスフィルタ特性検査手段は、上記入力端子に規定レベルの入力信号を入力し、この入力信号の周波数を規定範囲内で変化させた場合に、上記増幅率制御回路に備えられた、上記IQデジタル信号それぞれの出力レベルを検出するレベル検出器と、検出されたI及びQのレベル検出信号を加算する加算回路と、加算されたIQレベル加算信号と基準信号とを比較した結果をデジタルAGC信号として出力する比較結果出力回路と、上記デジタルAGC信号をアナログAGC信号に変換するデジタル/アナログ変換回路により、上記復調部へのIQベースバンド信号のレベルが上記入力信号の周波数に係わらず一定となるように、上記アナログAGC信号が調整され、そのとき、上記比較結果出力回路からのデジタルAGC信号の値が規定範囲内にあることを検出するローパスフィルタ特性検査回路を備えた構成である。

【0135】第10の半導体集積回路は、第9の半導体集積回路であって、上記ローパスフィルタ特性検査回路

(13)

23

は、上記デジタルAGC信号を切り換える入力信号スイッチ回路と、検査を行う周波数を変化させた場合に上記入力信号スイッチ回路により上記デジタルAGC信号を切り換え、それぞれの場合において上記デジタルAGC信号の値を記憶する第一のメモリ回路および第二のメモリ回路と、第一のメモリ回路の値と第二のメモリ回路の値との差分と、ローパスフィルタ検査基準値とを比較するフィルタ特性比較回路で構成されている。

【0136】第11の半導体集積回路は、第1の半導体集積回路であって、上記RF部検査手段は、I及びQの直交誤差が規定範囲内にあることを検出するIQ直交誤差検査手段を備えた構成である。

【0137】第12の半導体集積回路は、第11の半導体集積回路であって、上記IQ直交誤差検査手段は、上記アナログ/デジタル変換器のIQデジタル信号の符号を出力する符号判定回路と、上記符号判定回路の出力値がIQ各々において同値となる時間を測定する時間測定回路と、上記時間測定回路の出力が規定範囲内にあるかを判定する判定回路で構成されている。

【0138】第13の半導体集積回路は、第1ないし第12のいずれかの半導体集積回路であって、上記RF部検査手段の出力により、その検査結果が合格か否かを判定する合格判定回路を備えた構成である。

【0139】

【発明の効果】本発明に係る半導体集積回路は、以上のように、入力される高周波信号をIQベースバンド信号に直交変調する変調部と、上記IQベースバンド信号を増幅するための増幅部とを有するRF部と、上記IQベースバンド信号をIQデジタル信号に変換するアナログ/デジタル変換回路と、上記IQデジタル信号を復調するデジタル復調回路とを有する復調部とを1パッケージ化した半導体集積回路であって、上記復調部は、上記アナログ/デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の動作検査を行うRF部検査手段を備えている構成である。

【0140】それゆえ、RF部の検査機能を復調部に持たせることにより、RF部と復調部とが1パッケージ化された半導体集積回路が構成された場合でも、RF部の検査において高価なテスターを用いることは不要となり、また、RF部からの出力を取り出すための検査用のピンをRF部に設ける必要がなくなる。これにより、RF部の大型化によるパッケージ自体の大型化を回避することができると共に、半導体集積回路の製品としてのコストを低減することができるという効果を奏する。

【0141】本発明に係る半導体集積回路は、以上のように、上記RF部検査手段は、上記IQデジタル信号に基づいて、上記RF部から出力されるIQベースバンド信号のI信号とQ信号との直交誤差を検査するIQ直交誤差検査手段を備えている構成である。

【0142】それゆえ、既存のアナログ/デジタル変換

24

回路を利用して、RF部から出力されるIQベースバンド信号のI信号とQ信号との直交誤差を検査することができるという効果を奏する。

【0143】本発明に係る半導体集積回路は、以上のように、上記IQ直交誤差検査手段は、上記IQデジタル信号の符号をそれぞれ検出する符号判定回路と、所定時間内で上記IQデジタル信号の符号が同符号となる時間を測定する時間測定回路と、上記時間測定回路にて測定された時間が規定範囲内にあるか否かを判定する判定回路とを備えている構成である。

【0144】それゆえ、上記IQデジタル信号に対応するRF部からの出力(IQベースバンド信号)が同符号となる時間が規定範囲内か否かを判断することができる。これにより、上記IQベースバンド信号のI信号とQ信号との直交誤差を検査することができるという効果を奏する。

【0145】本発明に係る半導体集積回路は、以上のように、上記RF部検査手段は、上記IQデジタル信号のレベルを示すIレベル検出信号およびQレベル検出信号を生成し、Iレベル検出信号およびQレベル検出信号に基づいて、上記RF部の上記増幅部における増幅利得を制御する増幅率制御回路と、上記Iレベル検出信号および上記Qレベル検出信号に基づいて、上記RF部から出力されるIQベースバンド信号のI信号とQ信号とのレベル差を検査するIQレベル差検査手段とを備えている構成である。

【0146】それゆえ、既存のアナログ/デジタル変換回路を利用して、RF部から出力されるIQベースバンド信号のレベル差を検査することができるという効果を奏する。

【0147】本発明に係る半導体集積回路は、以上のように、上記IQレベル差検査手段は、上記Iレベル検出信号と上記Qレベル検出信号とのレベル差に対応する値をIQレベル差として検出するレベル差検出手段と、上記IQレベル差とレベル差判定用基準値とに基づいて、IQベースバンド信号のI信号とQ信号とのレベル差が規定範囲内であるか否かを判断するレベル差比較手段とを備えている構成である。

【0148】それゆえ、アナログ/デジタル変換回路の出力差を増幅率制御回路を介してIQレベル差として検出し、そのIQレベル差とレベル差判定用基準値とを比較することで、上記増幅部の利得差、つまり、RF部から出力されるIQベースバンド信号のI信号とQ信号とのレベル差の検査を行うことができるという効果を奏する。

【0149】本発明に係る半導体集積回路は、以上のように、上記RF部検査手段は、上記アナログ/デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生

(14)

25

成する増幅率制御回路と、上記RF部に入力される信号の変化に伴う上記デジタル制御信号の変化に基づいて、上記増幅利得の特性を検査する利得特性検査手段とを備えている構成である。

【0150】それゆえ、利得特性検査手段が上記デジタル制御信号の変化を検出することにより、上記アナログ制御信号の変化を検出できる。これにより、上記アナログ制御信号により制御される上記増幅利得の特性を、復調部側で的確に検査することができるという効果を奏する。

【0151】本発明に係る半導体集積回路は、以上のように、上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の上限値と最小利得検査用基準値とを比較し、その比較結果に応じた値を出力する第1の比較回路を備えている構成である。

【0152】それゆえ、第1の比較回路により、最小利得の検査を行うことができるという効果を奏する。

【0153】本発明に係る半導体集積回路は、以上のように、上記RF部検査手段は、上記RF部に入力される信号の変化に対応して変化する上記デジタル制御信号の下限値と最大利得検査用基準値とを比較し、その比較結果に応じた値を出力する第2の比較回路を備えている構成である。

【0154】それゆえ、第2の比較回路により、最大利得の検査を行うことができるという効果を奏する。

【0155】本発明に係る半導体集積回路は、以上のように、上記RF部は、IQベースバンド信号の高周波成分を除去するためのローパスフィルタをさらに備え、上記RF部検査手段は、上記アナログ／デジタル変換回路から出力されるIQデジタル信号に基づいて、上記RF部の上記増幅部における増幅利得を制御するためのアナログ制御信号に対応するデジタル制御信号を生成する増幅率制御回路と、上記デジタル制御信号に基づいて、上記ローパスフィルタの通過領域および遮断領域の特性を検査するローパスフィルタ特性検査手段とを備えている構成である。

【0156】それゆえ、入力信号の周波数がローパスフィルタの遮断領域にある場合と通過領域にある場合とで、それらに対応して得られるデジタル制御信号の値は増減するので、ローパスフィルタ特性検査手段は、上記デジタル制御信号に基づいて、ローパスフィルタの通過特性（通過領域および遮断領域の特性）を的確に検査することが可能となるという効果を奏する。

【0157】本発明に係る半導体集積回路は、以上のように、上記ローパスフィルタ特性検査手段は、上記デジタル制御信号の値を記憶する第1のメモリ回路および第2のメモリ回路と、上記RF部に入力される信号の周波数が上記ローパスフィルタの通過領域にあるか遮断領域にあるかに応じて、上記デジタル制御信号の出力先を第

26

1のメモリ回路および第2のメモリ回路とで切り換える入力スイッチ回路と、上記第1のメモリ回路に記憶されたデジタル制御信号の値と、上記第2のメモリ回路に記憶されたデジタル制御信号の値との差と、ローパスフィルタ検査基準値とを比較し、比較結果に応じた値を出力するフィルタ特性比較回路とを備えている構成である。

【0158】それゆえ、入力信号の周波数がローパスフィルタの遮断領域にある場合と通過領域にある場合とで、それらに対応して得られるデジタル制御信号の値は増減するので、第1のメモリ回路および第2のメモリ回路に記憶された各デジタル制御信号の値の差の大小を見ることができるといえる効果と、ローパスフィルタの通過特性を確実に検査することができるという効果を奏する。

【0159】本発明に係る半導体集積回路は、以上のように、上記復調部は、上記RF部検査手段での検査結果に基づいて、パッケージとしての合否判定を行う合否判定回路をさらに備えている構成である。

【0160】それゆえ、RF部検査手段での検査結果に基づいて、半導体集積回路がパッケージ（製品）として合格であるか否かを自動判定することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路としてのデジタル放送受信装置の概略の構成を示すブロック図である。

【図2】上記デジタル放送受信装置の復調部に設けられる増幅率制御回路の概略の構成を示すブロック図である。

【図3】上記デジタル放送受信装置のRF部に設けられる可変利得型増幅器の増幅率と、上記可変利得型増幅器に供給されるアナログAGC信号との関係を示すグラフである。

【図4】上記復調部に設けられるRF部検査手段のIQ直交誤差検査回路の概略の構成を示すブロック図である。

【図5】上記RF部に設けられる90°移相器の出力の誤差 $\Delta\theta$ が0である場合に、上記RF部から出力されるIQベースバンド信号の出力波形をそれぞれ示す波形図である。

【図6】上記RF部に設けられる90°移相器の出力の誤差 $\Delta\theta$ がマイナスの場合に、上記RF部から出力されるIQベースバンド信号の出力波形をそれぞれ示す波形図である。

【図7】上記RF部に設けられる90°移相器の出力の誤差 $\Delta\theta$ がプラスの場合に、上記RF部から出力されるIQベースバンド信号の出力波形をそれぞれ示す波形図である。

【図8】上記復調部に設けられるRF部検査手段のIQレベル差検査回路の概略の構成を示すブロック図である。

【図9】上記復調部に設けられるRF部検査手段の利得

(15)

27

特性検査回路の概略の構成を示すブロック図である。

【図10】利得特性検査におけるデジタルAGC信号と増幅率との関係を示すグラフである。

【図11】上記復調部に設けられるRF部検査手段のローパスフィルタ特性検査回路の概略の構成を示すブロック図である。

【図12】I-Q平面上におけるQPSK信号を示す説明図である。

【図13】従来のデジタル放送受信装置の概略の構成を示すブロック図である。

【図14】シンボルタイミングとサンプリングタイミングとのタイミング誤差がプラスであることを説明するための説明図である。

【図15】シンボルタイミングとサンプリングタイミングとのタイミング誤差がマイナスであることを説明するための説明図である。

【図16】上記RF部と上記復調部とが別々のチップで構成されている場合に、RFテスターによって検査される上記RF部の概略の構成を示すブロック図である。

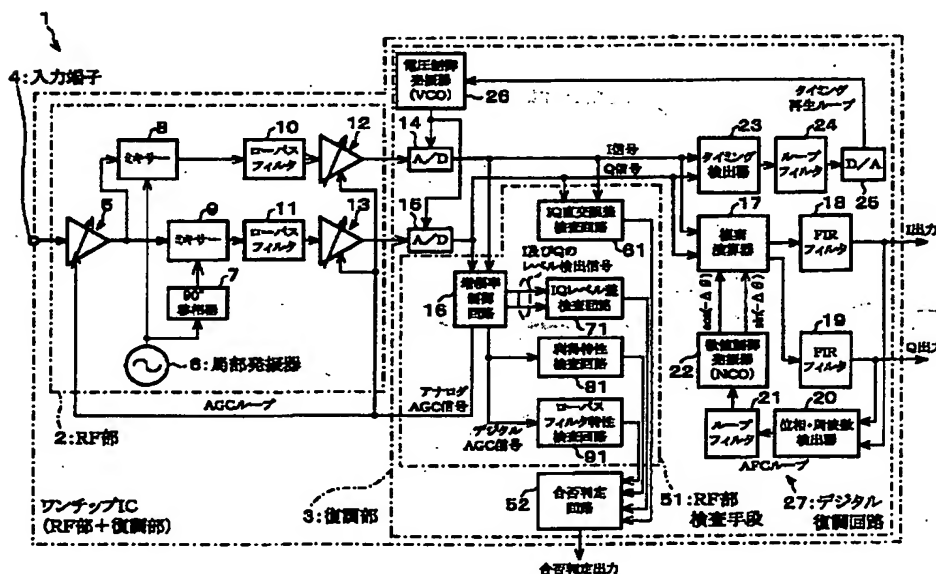
【符号の説明】

- 1 デジタル放送受信装置（半導体集積回路）
- 2 RF部
- 3 復調部
- 5 可変利得型増幅器（増幅部）
- 6 局部発振器（変調部）
- 7 90°移相器（変調部）
- 8 ミキサー（変調部）
- 9 ミキサー（変調部）
- 10 ローパスフィルタ

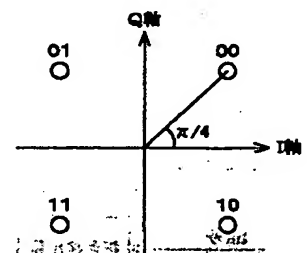
28

- 11 ローパスフィルタ
- 12 可変利得型増幅器（増幅部）
- 13 可変利得型増幅器（増幅部）
- 14 A/D変換回路（アナログ/デジタル変換回路）
- 15 A/D変換回路（アナログ/デジタル変換回路）
- 16 増幅率制御回路（RF部検査手段）
- 27 デジタル復調回路
- 51 RF部検査手段
- 52 合否判定回路
- 61 直交誤差検査回路（I-Q直交誤差検査手段）
- 62 符号判定回路
- 63 時間測定回路
- 64 比較回路（判定回路）
- 71 I-Qレベル差検査回路（I-Qレベル差検査手段）
- 72 引算回路（レベル差検出手段）
- 73 差分比較回路（レベル差比較手段）
- 81 利得特性検査回路（利得特性検査手段）
- 82 比較回路（第1の比較回路）
- 83 比較回路（第2の比較回路）
- 91 ローパスフィルタ特性検査回路（ローパスフィルタ特性検査手段）
- 92 入力スイッチ回路
- 93 メモリ回路（第1のメモリ回路）
- 94 メモリ回路（第2のメモリ回路）
- 95 フィルタ特性比較回路

【図1】

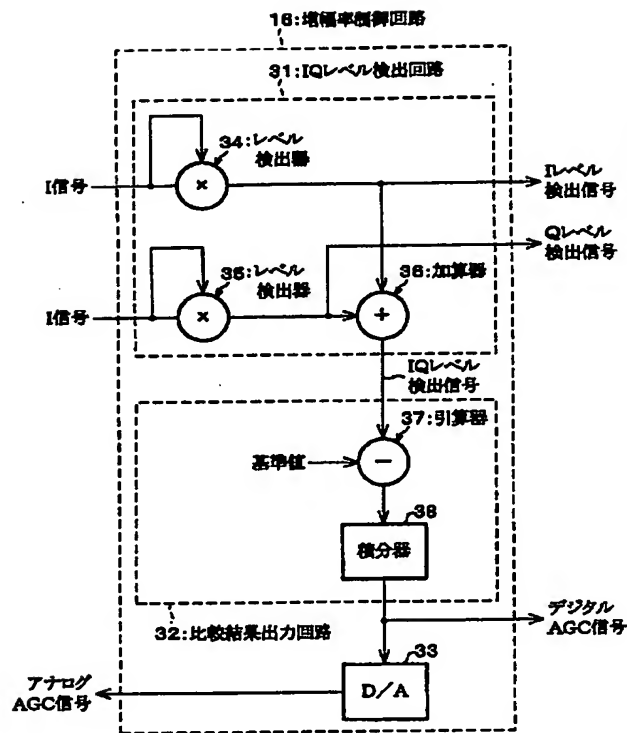


【図12】

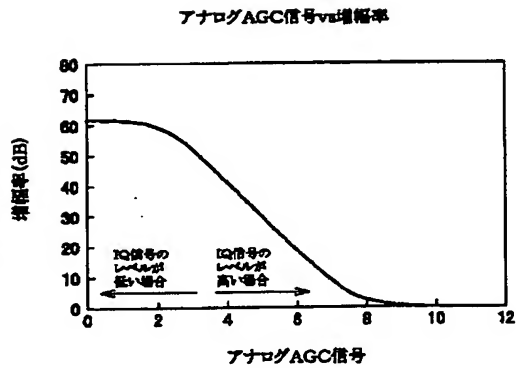


(16)

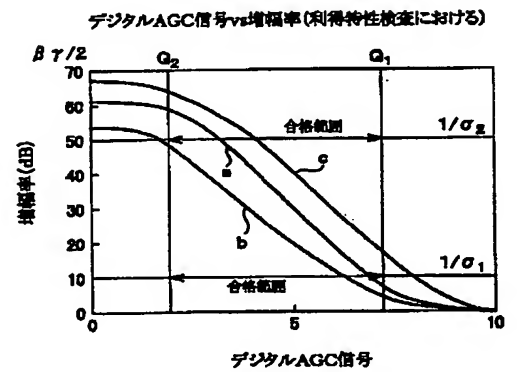
【図2】



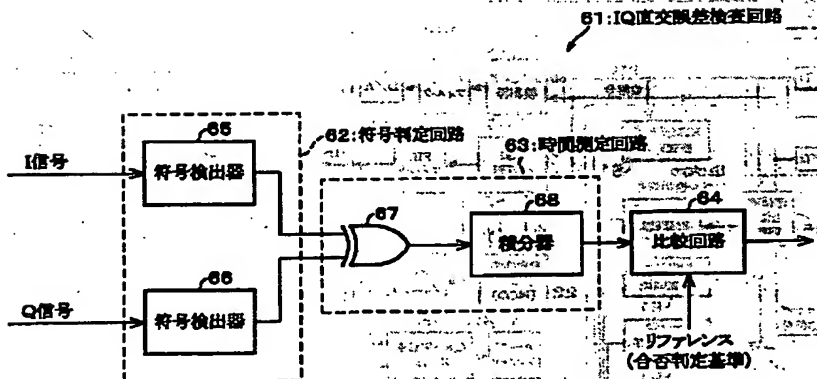
【図3】



【図10】

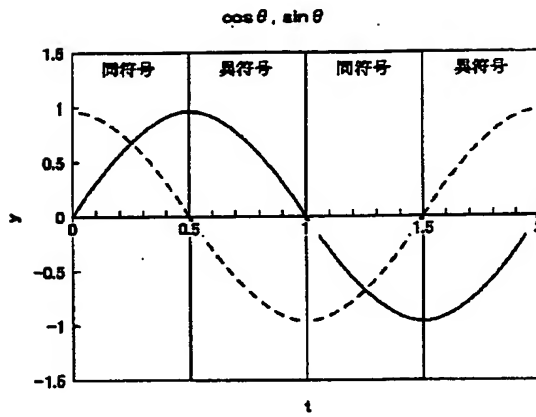


【図4】

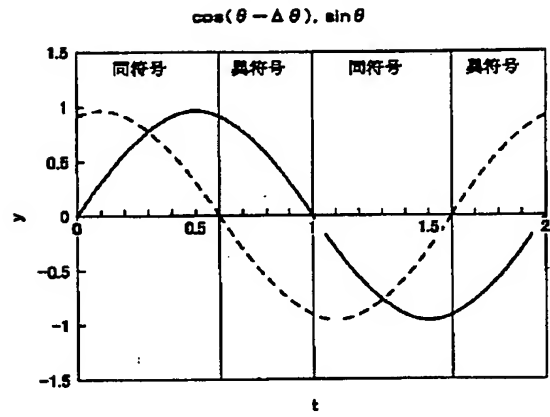


(17)

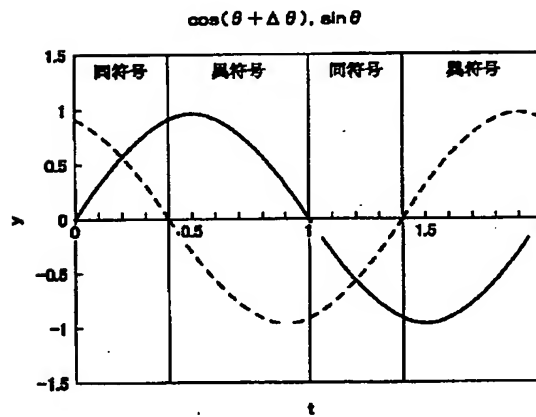
【図5】



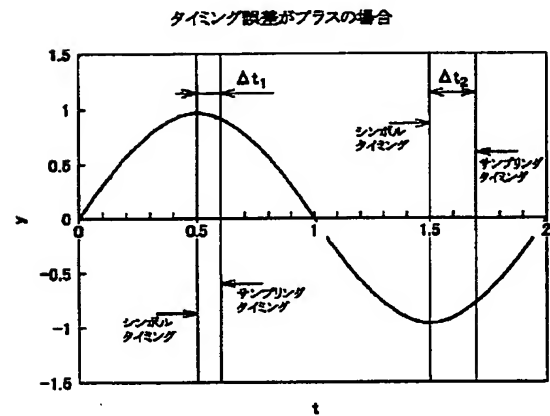
【図6】



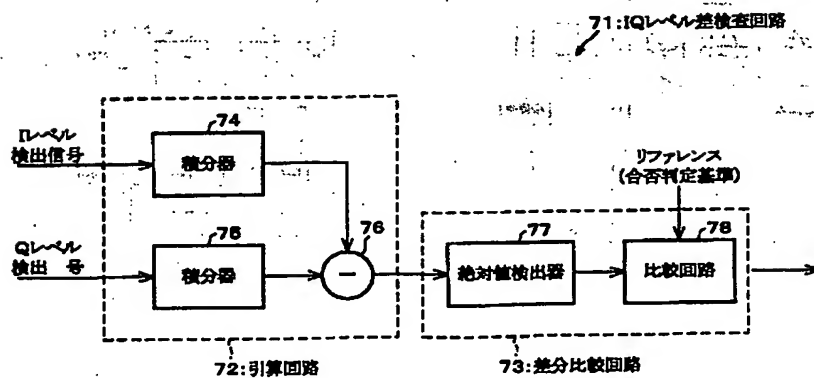
【図7】



【図14】

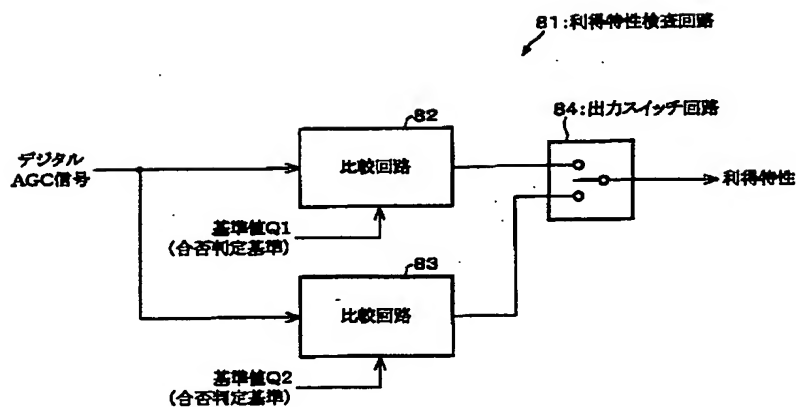


【図8】

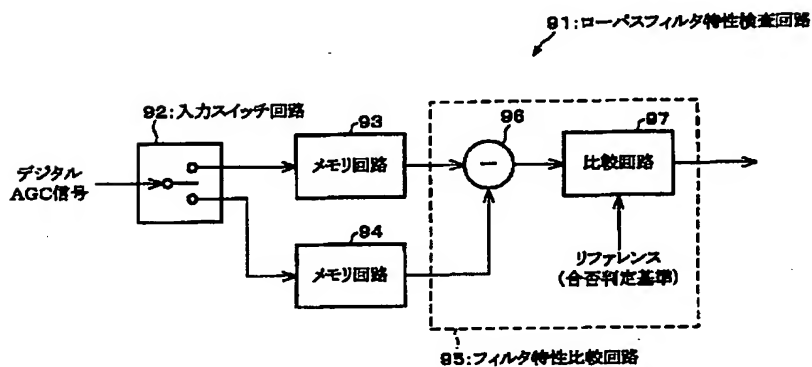


(18)

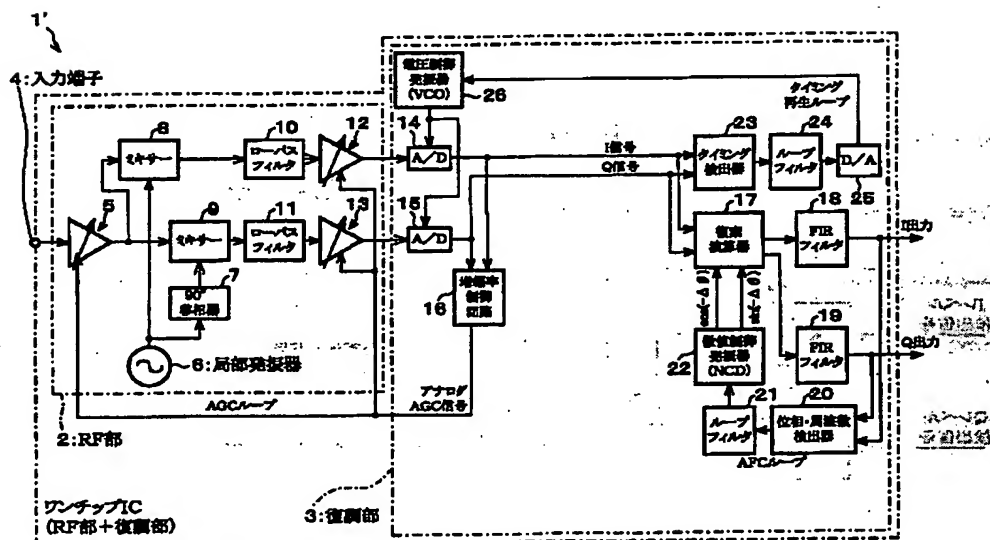
【図 9】



【図 1 1】



【図 1 3】



【图 16】

